

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-202038

(43)Date of publication of application : 15.08.1989

(51)Int.Cl.

H04B 14/04

(21)Application number : 63-025818

(71)Applicant : SONY CORP

(22)Date of filing : 08.02.1988

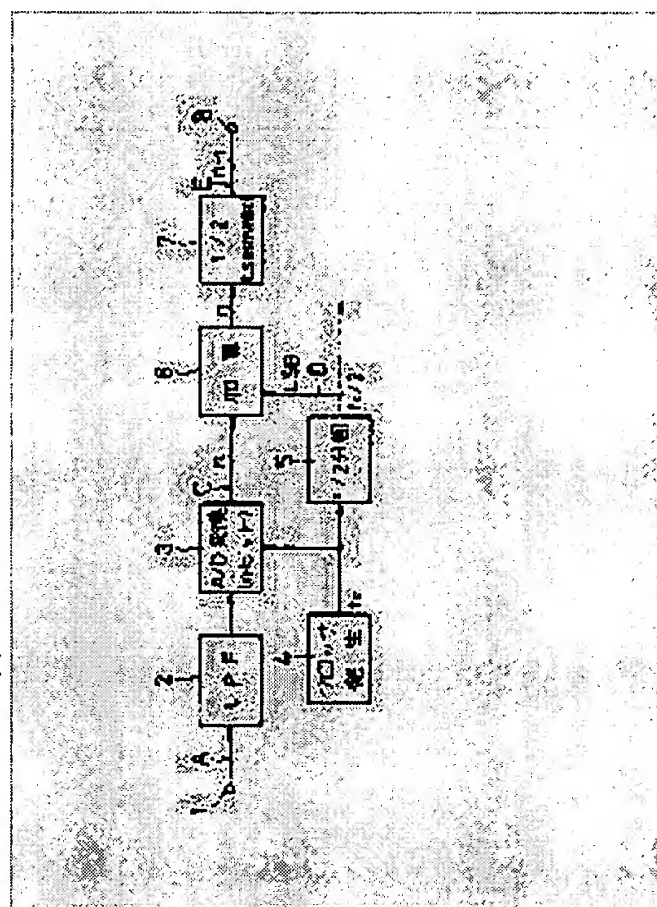
(72)Inventor : KANEKO SHINJI

(54) BIT REDUCTION SYSTEM

(57)Abstract:

PURPOSE: To reduce the number of transmission bits without reducing resolution by adding a dither signal corresponding to a lower bit side including an LSB to A/D conversion output data and cutting off the lower bit side of the added data to transmit the data.

CONSTITUTION: The data of the LSB(least significant bit) are added (carried) to 8-bit data obtained from an A/D converter 3 by an adder 6. The 8-bit added data from the adder 6 is divided into a 1/2 value by a divider 7 such as a bit shifter and the divided value is extracted from an output terminal 8. Since dither data are added to the digital signal converted by the A/D converter 3, the accuracy of a level can be improved as compared to the addition of an analog signal, and bit reduction can be attained by cutting off the lower side bits after adding the dither data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑫ 公開特許公報(A) 平1-202038

⑤Int. Cl.⁴

識別記号

庁内整理番号

⑬公開 平成1年(1989)8月15日

H 04 B 14/04

A-8732-5K

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 ビット・リダクション方式

⑮特 願 昭63-25818

⑯出 願 昭63(1988)2月8日

⑰発 明 者 金 子 真 二 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲代 理 人 弁理士 小 池 晃 外2名

明 細 書

1. 発明の名称

ビット・リダクション方式

2. 特許請求の範囲

アナログ入力信号を n ビット(n は2以上の整数)のA/D変換器によりデジタル信号に変換し、

このA/D変換器からの n ビット出力データに対して、少なくともLSBを含む下位側 d ビット(d は $1 \leq d < n$ の整数)に相当し上記A/D変換器のクロックに応じた所定期期のディザ・データを加算し、

この加算出力データの下位側 d ビットを切り捨てた $(n-d)$ ビットのデジタル信号を伝送することを特徴とするビット・リダクション方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アナログ信号をA/D変換して伝送する際の伝送ビット数あるいは伝送ビット・レートを低減するためのビット・リダクション方式に関する。

(発明の概要)

本発明は、アナログ信号をA/D変換して伝送する際の伝送ビット数を低減するためのビット・リダクション方式において、A/D変換出力データに対してLSBを含む下位ビット側に相当するディザ信号を加算し、この加算データの下位ビット側を切り捨てて伝送することにより、分解能を低下させることなく伝送ビット数を低減可能とするものである。

(従来の技術)

例えば現在のデジタルVTR(ビデオテープレコード)においては、8ビットPCMデータを用いており、サンプリング周波数が高いこととあいまって伝送には広帯域を必要としている。

この伝送帯域を少しでも狭くし得るように種々のビット・レート圧縮技術が提案され試作されているが、ハードウェア構成が大きくなる等の種々の問題点が残存しているのが現状である。

ところで、一般にビデオ信号やオーディオ信号等のアナログ信号をA/D変換器によりデジタル信号に変換する際の量子化雑音を改善したり見掛け上の分解能を向上したりするために、アナログ信号にディザ信号を重畳した後に量子化を行う方法が知られている。

このディザ信号重畳によるA/D変換（あるいはD/A変換）の分解能向上技術の一例として、日本音響学会誌39(7)、1983.7の第452頁から第462頁までの「広帯域音響信号の量子化への大振幅ディザの適用」との論文においては、比較的振幅の大きい $\pm \Delta/2$ の整数倍に一様分布する確率変数をディザとして導入することにより、ディザ本来の効果である量子化雑音の入力との無相関化と共に、量子化誤差の平均化と、ディザ分布の一様化により変換精度の向上を図る技術が開示されて

に先立ちアナログ信号に重畳することが必要とされ、さらには、量子化された信号から同じディザを減算することにより $\pm \Delta/2$ に一様分布する電力 $\Delta^2/12$ の白色性量子化雑音とすることが望ましいとされる。しかしながら現実には、A/D変換器等における量子化ステップ Δ そのものが一定でない上、雑音が存在し、正確に $\pm \Delta/2$ に一様分布するディザを得ることが困難であることから、一様分布ではなくガウス分布のディザの重畳を行っているに過ぎない。また上記ディザの減算については、A/D変換やD/A変換の分解能向上の技術において変換器の前後でディザ加算とディザ減算を行っているに過ぎず、伝送ビット低減に適用する場合にはディザ信号自体の伝送が必要となるため、ビット低減効果が得られないことになる。

本発明は、このような実情に鑑みてなされたものであり、上記各欠点を除去し得るような新規なビット・リダクション方式の提供を目的とし、特にA/D変換後のデジタル信号に対してLSBを含む下位ビット側でデジタル・ディザを加算

している。また、特開昭61-50423号公報においては、D/A変換装置の精度を向上させる方法として、デジタル入力信号をサンプリング周波数 f の n 倍の周波数 nf にてオーバーサンプリングした信号に、ディザを周波数 nf でサンプリングしたものを加算し、D/A変換した後にディザを減算する技術が開示されている。

これらの技術は、A/D変換器やD/A変換器の分解能を向上するためのディザ重畳技術であるが、伝送ビット・レート低減にもディザ法を適用可能である。この場合には、アナログ入力信号にディザを重畳して低ビットでA/D変換したものを伝送することにより、A/D変換ビット数、すなわち伝送ビット数よりも高い分解能を実現するものである。

〔発明が解決しようとする課題〕

しかしながら、このディザ信号重畳による分解能向上技術においては、量子化ステップ幅を Δ とすると、 $\pm \Delta/2$ に一様分布するディザを量子化

することにより、簡単な構成で有効なビット低減の可能なビット・リダクション方式の提供を目的とするものである。

〔課題を解決するための手段〕

本発明に係るビット・リダクション方式は、上述の課題を解決するために、ビデオ信号やオーディオ信号等のアナログ入力信号を n ビットA/D変換器（ n は2以上の整数）により n ビットのデジタル信号に変換し、このA/D変換器からの n ビット出力に対して少なくともLSBを含む下位 d ビット（ d は $1 \leq d < n$ の整数）に相当するディザ・データであって上記A/D変換器のクロック周期の整数倍の周期のディザ・データを加算し、この加算出力データの下位側 d ビットを切り捨てて $(n-d)$ ビットのデジタル・データを伝送することを特徴としている。

〔作用〕

A/D変換器により変換されたデジタル信号

に対してデジタル・ディザ・データを加算しているため、アナログ信号の段階で加算する場合に比べてレベル精度を高くでき、ディザ・データを加算した後に下位側ビットを切り捨てることで、ビット・リダクションが図れる。

〔実施例〕

以下、本発明に係るビット・リダクション方式の一実施例について、第1図を参照しながら説明する。この第1図の例においては、例えばデジタルVTR（ビデオテープレコーダ）の8ビットPCMビデオ信号を7ビットにビット低減して伝送する場合のビット・リダクション方式を説明するための送信側構成を示している。

この第1図において、入力端子1にはアナログ・ビデオ信号あるいはデジタル・ビデオ信号を一旦D/A変換した信号が供給されている。この入力アナログ信号は、アンチ・エリアシング用のLPF（ローパスフィルタ）2を介して8ビット（一般に n ビット）のA/D変換器3に送られて

次にこのような構成の動作の一例として、例えば第2図Aに示すようにレベルが単純増加するアナログ入力信号が端子1に供給される場合について説明する。

このアナログ入力信号Aを、上記7ビット伝送のためにそのまま7ビットA/D変換すると、第2図Bのような量子化信号となる。ここで、上記7ビットA/D変換の量子化ステップ幅を Δ としており、上記アナログ入力信号Aがこの量子化ステップ幅 Δ で量子化されることにより、第2図Bの信号が得られる。これに対して第1図のA/D変換器3においては、8ビットのA/D変換が行われ、このときの量子化ステップ幅は $\Delta/2$ となる。従って、第1図のA/D変換器3からの信号は、第2図Cに示すようなものとなる。また、1/2分周器5からの出力信号は、上記8ビットのLSBの桁に相当することから、第2図Dに示すように $\Delta/2$ のレベル範囲内で変化する信号となる。これらの第2図Cの信号と、第2図Dの信号とが加算器6で加算され、LSBが切り捨てられることに

いる。このA/D変換器3は、クロック発生回路4からの周波数 f_c （周期 T_c ）のクロック信号により駆動されている。このクロック信号は1/2分周器5により周波数 $f_c/2$ （周期 $2T_c$ ）の矩形波信号となって加算器6に送られている。この矩形波信号は、上記クロック周期 T_c 毎に1、0が交互に表れる（すなわち $2T_c$ 周期の）1ビットの2値信号であり、加算器6においてA/D変換器3からの8ビットのデータに対してLSB（最下位ビット）のデータとして加算（桁上げ加算）される。加算器6からの8ビットの加算データは、ビット・シフト等の除算器7により1/2の値にされて出力端子8より取り出される。これは具体的には、8ビット（一般に n ビット）のデータのLSBを切り捨てて残り7ビット（一般に $n-1$ ビット）を取り出す操作であり、このようにしてビット低減された出力端子8からのデータが伝送される。すなわち、8ビットのビデオ・データを7ビットの伝送路を介して伝送することが可能となる。

より、第2図Eに示すような信号が得られる。この第2図Eの信号が出力端子8から取り出されて7ビット伝送路を介して伝送される。なおこの場合、必要に応じて、シリアル・データに変換したり、所定の変調方式で変調したりした後、伝送路を介して伝送するわけである。

このようにして伝送されたデータを受信する側では、上記受信側での変調に対応する復調処理やパラレル・データへの変換等を必要に応じて施すことにより、上記端子8からの出力に相当する7ビット（一般に $n-1$ ビット）のデータを得る。この7ビットのデータが、例えば第3図のデジタル入力端子11に供給されており、このデータを同7ビットのD/A変換器12にて離散的アナログ信号に変換し、LPF（ローパスフィルタ）13にてクロック成分を除去することにより、出力端子14から連続的なアナログ信号を得ることができる。このとき、第2図Eの波形の歯状部分は1と0とが略々等しく交互に表れているため、LPF13を通した後には上記7ビットの量子化

ステップ幅 Δ の中間レベルが得られることになり、略々 $\Delta/2$ の量子化ステップ幅で量子化したのと同程度の分解能を得ることができる。この場合、上記L P F 1 3においては、上記送信側で加算した $f_c/2$ の周波数成分を考慮して、該周波数 $f_c/2$ にて6 dBの減衰が生じるような周波数特性を持たせることが好ましい。

また、上記送信側で加算した上記ディザ・データとなる周波数 $f_c/2$ の信号(第2図D)は、1サンプル毎に1、0が交互に表れる規則的な信号であり、受信側でも例えばワード同期信号やブロック同期信号等を利用することにより容易に再現できる。このように、第2図Dの周波数 $f_c/2$ のディザ信号が受信側でも何らかの手段により再現できる場合には、第4図に示すように減算器15を用い、端子16に得られた上記周波数 $f_c/2$ のディザ信号を、端子11で受信された上記7ビットのデータに対してLSBよりさらに1ビット下位のビット(LSBの1/2)として減算することにより、減算器15からの8ビット・データは第2

データのLSB及びその1ビット上位のビットに対応させて加算した後、これらの下位側2ビットを切り捨てることにより、 $n-2$ ビット(例えば6ビット)のデータとする。この場合には、大幅なビット低減が可能であるが、ディザ信号による妨害波が発生し、 $f_c/4$ の周波数では6ビット・データのLSBの約1/2にまで達するため、用途に応じて適切な切り捨てビット数を選択することが必要である。

この他、発明の要旨を逸脱しない範囲で種々の変更が可能であり、例えばA/D変換時のビット数は上記8ビットに限定されず、一般に n ビット(n は2以上の整数)とすることができ、A/D変換後に下位側に加算されるディザのビット数は一般に d ビット(d は $1 \leq d < n$ の整数)とすることができる。この場合の伝送ビット数は一般に $(n-d)$ ビットとなる。

(発明の効果)

本発明に係るビット・リダクション方式によれ

図Fに表される信号に相当する。この減算動作は、上記ディザ・データとなる信号(第2図D)の逆相の信号を加算する動作でもある。次に第2図Fに表される減算出力信号は、8ビットのA/D変換器17でA/D変換した後、L P F 1 8を介して出力端子19より取り出している。この場合にも、略々 $\Delta/2$ の量子化ステップ幅で量子化したのと同程度の分解能を得ることができるのみならず、L P F 1 8の周波数特性としては、上記第3図のL P F 1 3に比べて緩和でき、雑音特性もより改善される。

以上の実施例においては、A/D変換器3によりA/D変換された n ビット・データ(例えば8ビットのビデオ・データ)のLSBの1ビットに相当するディザ信号を加算する例について説明したが、LSBを含む下位側2ビットに相当するディザ信号を加算することもできる。この場合には、00、01、10、11の2ビット・データがクロック周期 T_c 毎に所定の順序で切り替わるような $4T_c$ 周期のディザ信号を、A/D変換された n ビット

ば、A/D変換後のデジタル信号に対してLSBを含む下位ビット側でデジタル・ディザを加算することにより、アナログ信号の段階でディザ加算する場合に比べてディザのレベル精度を高くでき、このディザ・データを加算した後に下位側ビットを切り捨てることで、簡単な構成で有効なビット低減が可能となり、低い伝送ビット数で高い分解能を得ることができる。また、デジタル・ディザ信号はA/D変換器のクロックに応じた所定周期に設定されているため、受信側でも比較的容易に再現することができ、D/A変換前に該再現されたデジタル・ディザ信号を減算することにより特性をさらに改善することができる。

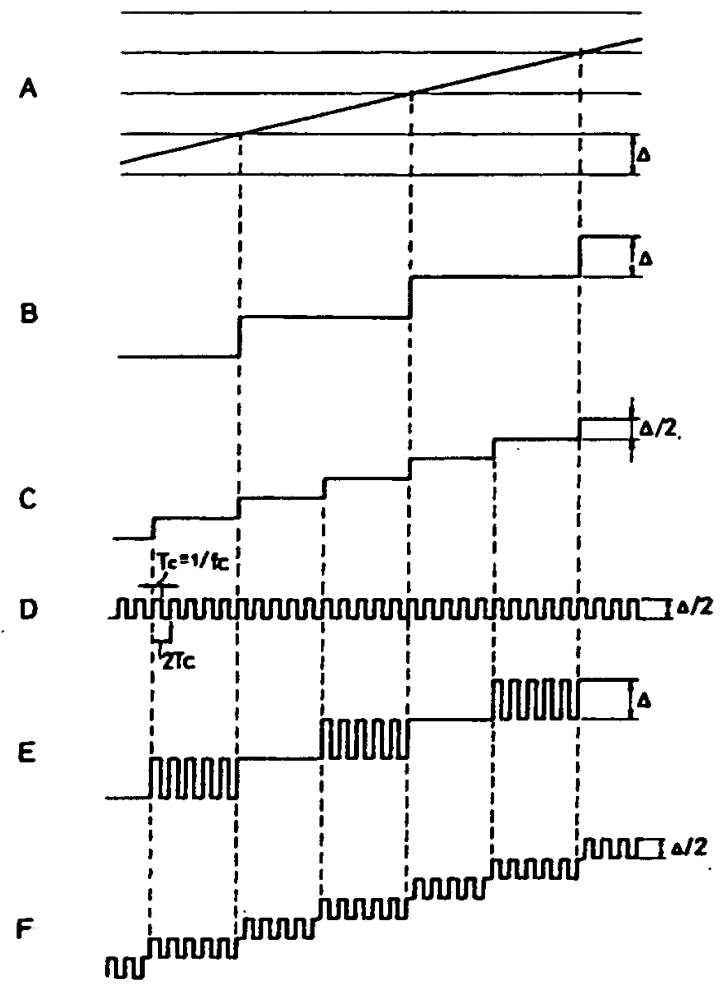
4. 図面の簡単な説明

第1図は本発明の一実施例となるビット・リダクション方式を説明するためのブロック回路図、第2図は該実施例の動作を説明するための波形図、第3図は受信側の構成例を示すブロック回路図、第4図は受信側の他の構成例を示すブロック回路

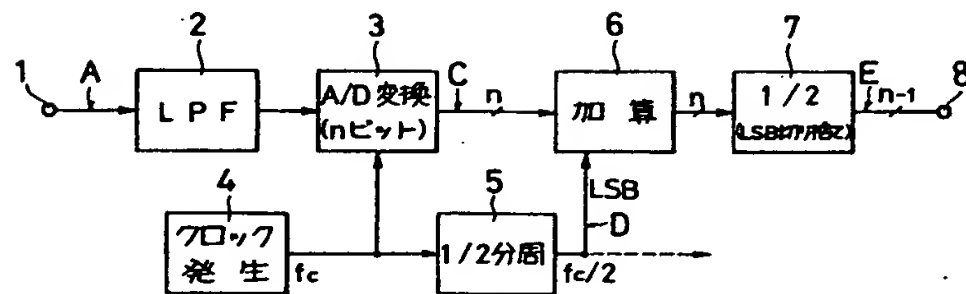
図である。

- 1.....アナログ信号入力端子
- 2.....LPF(ローパスフィルタ)
- 3.....A/D変換器
- 4.....クロック発生回路
- 5.....1/2分周器
- 6.....加算器
- 7.....除算器
- 8.....デジタル信号出力端子
- 11.....デジタル信号入力端子
- 12、17.....D/A変換器
- 13、18.....LPF
- 14、19.....アナログ信号出力端子
- 15.....減算器
- 16.....ディザ信号供給端子

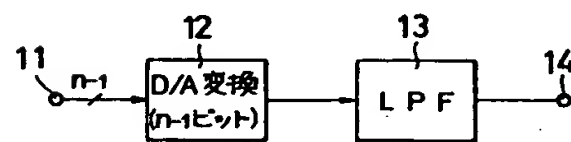
特許出願人 ソニー株式会社
 代理人 弁理士 小池 晃
 同 田村 榮一
 同 佐藤 勝



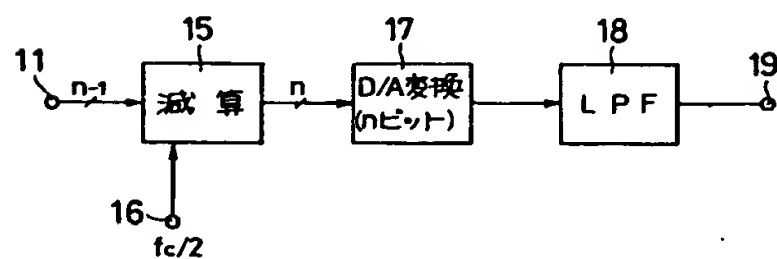
動作説明のEの波形図
 第2図



一実施例の説明図
 第1図



受信側の構成例
 第3図



受信側の他の構成例
 第4図